

⑩ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開

昭59—161045

⑤ Int. Cl.³
H 01 L 21/76
21/94

識別記号

庁内整理番号
M 8122—5F
7739—5F

⑬ 公開 昭和59年(1984)9月11日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体装置の製造方法

① 特 願 昭58—34572

② 出 願 昭58(1983)3月4日

③ 発 明 者 吾妻孝

茂原市早野3300番地株式会社日

立製作所茂原工場内

④ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5
番1号

⑤ 代 理 人 弁理士 高橋明夫

明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

Si基板上的局所酸化すべき領域にポリシリコン膜を設け、該ポリシリコン膜を酸化することによつてLOCOS膜を形成する半導体装置の製造方法において、前記酸化すべき領域のポリシリコン膜に溝をドーブさせた後に酸化することにより、その酸化速度を非酸化領域の酸化速度よりも速め、局所酸化領域の非酸化領域へのはみ出しを防止することを特徴とした半導体装置の製造方法。

発明の詳細な説明

〔発明の利用分野〕

本発明は半導体装置の製造方法、特にSiを基板とするMOS形VLSI(超大規模集積回路)の各ブクティブ領域間を絶縁するための微細加工、高集積化に好適なSi局部酸化膜(Local Oxidation of Silicon)の形成方法に関するものである。

〔発明の背景〕

現在、半導体装置として例えばVLSIのLOCOS

膜の形成には、Si基板自体を局所的に酸化する方法が一般的に用いられている。すなわち、第1図(a)に要部断面図で示すようにSi基板1上に薄いSiO₂膜2およびSi₃N₄膜3を順次積層形成した後、同図(b)に示すようにアイソレーション膜形成のための酸化すべき領域のSiO₂膜2およびSi₃N₄膜3を除去し、Si基板1を露出させ、これを酸化雰囲気中で熱処理することによりLOCOS膜4を形成する。この場合、同図(c)に示すようにSi基板上に形成されたLOCOS膜4にバードピーク4aおよびバードヘッド4bと称される異常領域が非酸化領域のSi₃N₄膜3の下部に喰い込むように形成される。そして、このバードピーク4aの領域Aは0.9~1.0μmにも達し、この領域Aは無駄なスペースとなり、VLSIの高集積度化に対して大きな弊害となつていた。この異常領域の発生原因の一つは、第2図に示すようにSi基板1上に薄いSiO₂膜2を形成し、さらにその表面にSi₃N₄膜3を形成して酸化する領域BのみSi₃N₄膜3を除去させた構造において、Si基板1とSi₃N₄

膜3との間のバッファとしての SiO_2 膜2が横方向(矢印C方向)の酸化をエンハンスメント(増加)させることに起因しているといわれている。

このような問題を改善したものとしては、第3図(a)~(d)に要部断面工程図で示すような半導体装置の製造方法が提案されている。すなわち、同図(a)に示すように Si 基板1上に SiO_2 膜2、ポリシリコン膜5、 Si_3N_4 膜3を順次積層形成する。次に同図(b)に示すように Si_3N_4 膜3上の非酸化領域部分にフォトリソistパターン6を形成し、酸化すべき領域 Si_3N_4 膜3をエッチング除去した後、フォトリソistパターン6を除去して非酸化領域部分の Si_3N_4 膜3を露出させた構成において、直接的にポリシリコン膜5を酸化させて同図(c)に示すようにLOCOS膜4を形成する方法が提案されている。

このような方法によると、 Si_3N_4 膜3の下には直接的に接触する SiO_2 膜がないので、ポリシリコン膜5の前記横方向への酸化の増加は行なわれず、したがって前述したバードピークの形成が少

なくなる。

しかしながら、このような方法によると、ポリシリコン膜5の酸化が横方向(矢印C方向)、縦方向(矢印D方向)に同時に等方的に進むため、横方向の酸化が進み、酸化後のポリシリコン膜5の除去工程において、同図(d)に示すようにLOCOS膜4の入江部分にポリシリコン膜5がエッチングされずに残渣5aが残り、この残渣5aを除去するためにVLSIの製作工程を複雑化させるとともに、完全に除去されない場合には品質を低下させてしまうなどの問題があつた。

〔発明の目的〕

したがって、本発明は、前述した問題に鑑みてなされたものであり、その目的とするところは、前述した残渣ポリシリコンの発生を除去し、しかもバードピーク、バードヘッド等の異常領域の発生が全くない、高品質のLOCOS膜を生産性良く得ることのできる半導体装置の製造方法を提供することにある。

〔発明の概要〕

このような目的を達成するために本発明による半導体装置の製造方法は、局所酸化すべき領域にポリシリコン層を有する Si 基板において、酸化すべき当該領域に磷をドーピングせしめ、その酸化速度を、非酸化領域の酸化速度よりも速くすることにより、局所酸化領域の非酸化領域へのいわゆるはみ出しを防止させたものである。

〔発明の実施例〕

次に図面を用いて本発明の実施例を詳細に説明する。

第4図(a)~(g)は本発明による半導体装置の製造方法をVLSIの製造方法に適用した一例を示す要部断面工程図であり、前述の図と同記号は同一要素となるので、その説明は省略する。これらの図において、まず、同図(a)に示すように標準洗浄法により表面処理された Si 基板1を用意し、同図(b)に示すようにこの Si 基板1を通常用いられる酸化法により酸化して表面に SiO_2 膜2を形成する。この場合、この SiO_2 膜2の膜厚は後述するLOCOS

酸化において、隣の Si 基板1への拡散を防止するに足る量として例えば約700Å以下とする。次に同図(c)に示すように SiO_2 膜2上にポリシリコンをCVD法により、ポリシリコン膜5を形成する。この場合、このシリコン膜5の膜厚は必要とするLOCOS膜の厚さの約半分、例えば2000Å程度とする。次に同図(d)に示すようにポリシリコン膜5上にCVD法により膜厚約1000Å以下の Si_3N_4 膜3を形成した後、局所酸化すべき領域のみの Si_3N_4 膜3を例えば C_2F_4 ガスなどにより方向性ドライエッチング処理して局所酸化すべき領域のポリシリコン膜5を露出させる。次に表面に Si_3N_4 膜3およびポリシリコン膜5が形成された Si 基板1を POCl_3 ガス中で熱処理もしくはイオンインプラ法により磷をドーピングさせるなどの磷処理を施して同図(e)に示すように酸化すべき領域のみに磷をドーピングした磷ドーピングポリシリコン膜5が形成され、 Si_3N_4 膜3の真下はこの Si_3N_4 膜3で遮蔽されてノンドーピングのポリシリコン膜5が残留している。この場合、磷のドーピングはノンドー

のポリシリコン膜5との酸化速度の必要差に応じて適宜調整することができるが、通常5〜15モル%の間の範囲が選ばれる。この状態でSi基板1を酸化させると、燐をドーブしたポリシリコン膜5はその酸化速度がノンドープシリコン膜5の酸化速度よりも2〜4倍程度速く酸化されて同図(f)に示すように膜厚約4000Å以下のLOCOS膜4が形成される。これは、燐ドーブポリシリコン膜5'の酸化速度がノンドープシリコン膜5よりも速くなることによつて、第5図に示すように縦方向(矢印D方向)の酸化が優先的に行なわれ、この結果、第4図(f)に示すように横方向(矢印C方向)への拡がりのない、したがつて入江部分のない直線的なLOCOS膜が形成されるためである。次に同図(g)に示すように非酸化領域部分のSiO₂膜2、ノンドープポリシリコン膜5およびその上面のSi₃N₄膜3を除去して第3図に示したようなポリシリコン膜5の残渣5aが全く発生しない極めて良好なVLSI用のLOCOS膜4が完成する。

〔発明の効果〕

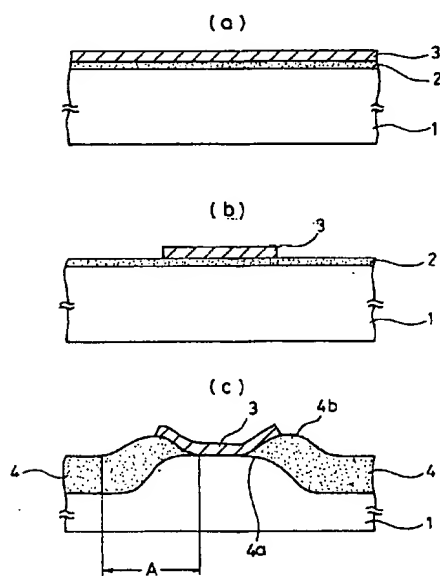
以上説明したように本発明による半導体装置の製造方法によれば、LOCOS膜の入江部分に残渣ポリシリコンの発生が皆無となり、しかもバードピーク、バードヘッド等の異常領域の発生が全くない、高品質のLOCOS膜が生産性良く得られるという極めて優れた効果を有する。

図面の簡単な説明

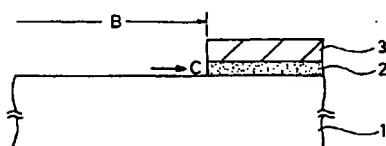
第1図(a)〜(e)、第2図は従来の半導体装置の一例を示す要部断面図、第3図(a)〜(d)は現在提案されている半導体装置の製造方法の一例を示す要部断面工程図、第4図(a)〜(g)は本発明による半導体装置の製造方法の一例を示す要部断面工程図、第5図は第4図に示す酸化の進行状況を説明するための図である。

1・・・Si基板、2・・・SiO₂膜、3・・・Si₃N₄膜、4・・・LOCOS膜、4a・・・バードピーク、4b・・・バードヘッド、4c・・・入江部分、5・・・ポリシリコン膜、5'・・・燐ドーブポリシリコン膜、5a・・・残渣ポリシリコン。

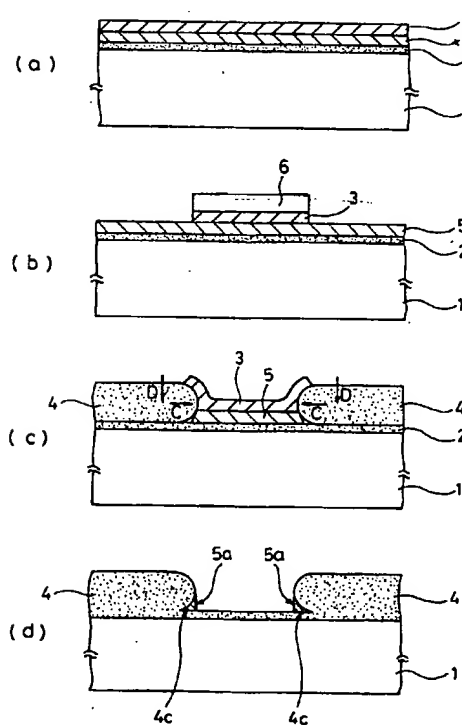
第1図

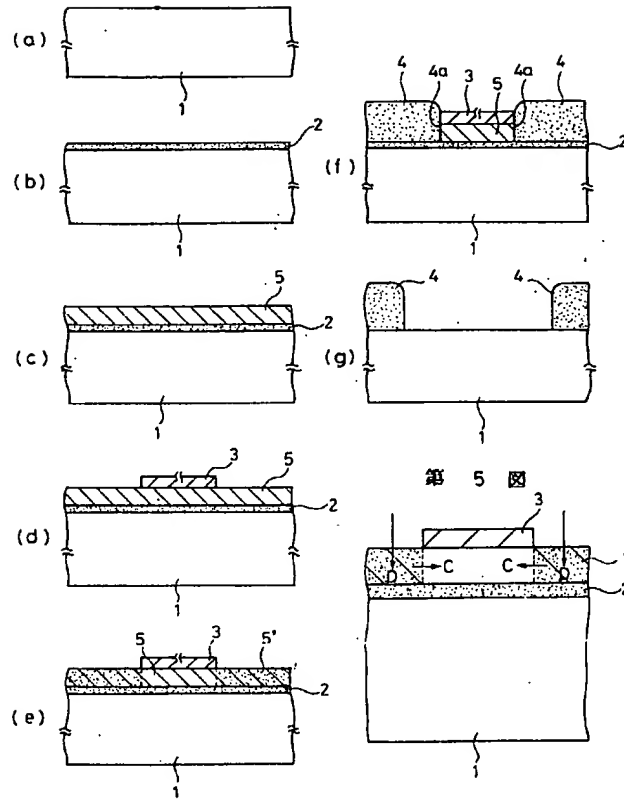


第2図

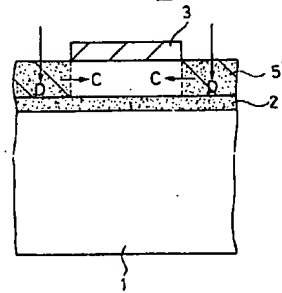


第3図





第 5 圖



PAT-NO: JP359161045A

DOCUMENT-IDENTIFIER: JP 59161045 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: September 11, 1984

INVENTOR-INFORMATION:

NAME

AZUMA, TAKASHI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP58034572

APPL-DATE: March 4, 1983

INT-CL (IPC): H01L021/76, H01L021/94

US-CL-CURRENT: 148/DIG.116, 257/E21.564

ABSTRACT:

PURPOSE: To eliminate the generation of residual polysilicon, and to obtain an Si partial oxide film (LOCOS film) of high quality, in which a bird beak, a brid head, etc. are not generated at all, by doping phosphorus into a polysilicon layer region to be oxidized.

CONSTITUTION: An SiO₂ film 2, a polysilicon film 5 and an Si₃N₄ film 3 are formed on the surface of an Si substrate 1, a polysilicon film 5 in a region, which must be etched and oxidized partially, is exposed, phosphorus is doped to form a phosphorus doped polysilicon film 5',

and the Si substrate 1 is oxidized. The phosphorus doped polysilicon film 5' is oxidized at speed of approximately double or quadruple as fast as the non-doped polysilicon film 5. The SiO₂ film 2, the non-doped polysilicon film 5 and the Si₃N₄ film 3 are removed, and an LOCOS film 4 for an extremely excellent VLSI in which the residue of the polysilicon film 5 is not generated at all is completed.

COPYRIGHT: (C)1984,JPO&Japio